

**DLL circuit and semiconductor memory device using sam**

Patent Number:  [US5939913](#)  
Publication date: 1999-08-17  
Inventor(s): TOMITA HIROYOSHI (JP)  
Applicant(s): FUJITSU LTD (JP)  
Requested Patent:  [JP11086545](#)  
Application Number: US19980019197 19980205  
Priority Number(s): JP19970243714 19970909  
IPC Classification: H03L7/06  
EC Classification: [G11C7/22](#), [H03K5/13B](#), [H03K5/135](#), [H03L7/081A1](#)  
Equivalents: KR266960, TW441188

---

**Abstract**

---

The present invention supplies a first delay control signal generated by a DLL circuit to a first variable delay circuit which generates a control clock by delaying a clock for a prescribed time period. The DLL circuit comprises: a first delay loop, comprising a second variable delay circuit and a third variable delay circuit connected in series, to which the clock is supplied; a phase comparator which is supplied with a clock which delays an integral factor of 360 DEG of said clock from the clock, as a reference clock, and the output of the first delay loop, as a variable clock; and a delay control circuit which generates said first delay control signal in accordance with a phase comparison result signal from the phase comparator such that there is no phase difference with said two supplied clocks. The second variable delay circuit is supplied with the first delay control signal. The third variable delay circuit has a delay time of beta DEG in accordance with a second delay control signal generated by a beta DEG detecting circuit. As a result, the second variable delay circuit generates a delay time of approximately  $360 \text{ DEG} - \beta \text{ DEG} = \alpha \text{ DEG}$ . By similarly controlling the delay time of the first variable delay circuit by means of this first delay control signal, the control clock output therefrom is phase delayed by alpha DEG from the clock.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-86545

(43)公開日 平成11年(1999) 3月30日

(51)Int.Cl. <sup>8</sup>	識別記号	F I	
G 1 1 C 11/407		G 1 1 C 11/34	3 6 2 S
7/00	3 1 3	7/00	3 1 3
11/417		H 0 3 K 5/13	
H 0 3 K 5/13		H 0 3 L 7/00	D
H 0 3 L 7/00		G 1 1 C 11/34	3 0 5

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

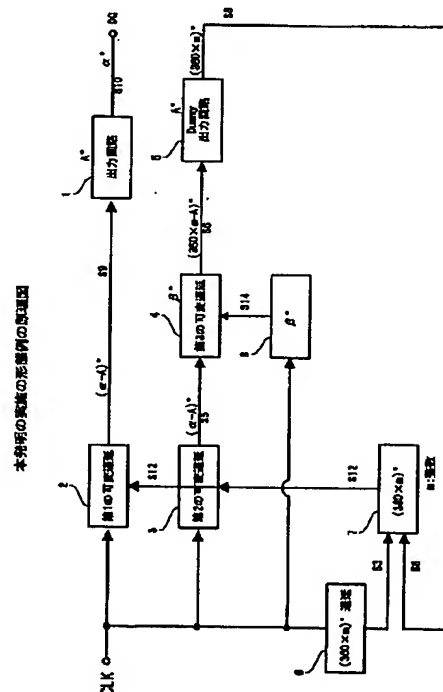
(21)出願番号	特願平9-243714	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成9年(1997)9月9日	(72)発明者	富田 浩由 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	弁理士 土井 健二 (外1名)

(54)【発明の名称】 D L L回路及びそれを利用した半導体記憶装置

(57)【要約】 (修正有)

【課題】180°以上の位相遅れを有する制御クロックを生成するD L L回路で、可変遅延回路によるジッタを抑える。

【解決手段】クロックC L Kから制御クロックS 9を生成する第1の可変遅延回路2に、D L L回路により生成される第1の遅延制御信号S 12を与える。D L L回路は、クロックが与えられる第2、第3の可変遅延回路3、4が直列接続された第1の遅延ループと、クロックの360°の整数倍のクロックS 3が基準クロックとして、第1の遅延ループの出力S 8が可変クロックとして与えられる位相比較器の結果信号に従って第1の遅延制御信号を両クロックの位相差をなくすように生成する遅延制御回路7とを有する。この第1の遅延制御信号により第1の可変遅延回路の遅延時間が制御され、その出力の制御クロックは、クロックから $\alpha^\circ$ 遅延する。



## 【特許請求の範囲】

【請求項1】第1のクロックから所定の位相 $\alpha^\circ$ 遅延した制御クロックを生成するDLL回路において、  
前記第1のクロックが入力され、前記制御クロックを生成する第1の可変遅延回路と、  
前記第1のクロックが入力され、第2の可変遅延回路と第3の可変遅延回路とが直列に接続された第1の遅延ループと、  
前記第1のクロックから $360^\circ$ の整数倍の位相遅れの基準クロックと、前記第1の遅延ループから出力される第1の可変クロックとの位相を比較し、位相差に応じた第1の位相比較結果信号を生成する第1の位相比較器と、  
前記第1の位相比較結果信号を供給され、前記基準クロックと前記第1の可変クロックとの位相を一致させる第1の遅延制御信号を前記第2の可変遅延回路及び第1の可変遅延回路に供給する第1の遅延制御回路と、  
第3の可変遅延回路に前記第1のクロックの $\beta^\circ$  ( $=360^\circ - \alpha^\circ$ )の遅延時間を与える第2の遅延制御信号を生成する $\beta^\circ$ 検出回路とを有することを特徴とするDLL回路。

【請求項2】請求項1において、  
前記 $\beta^\circ$ 検出回路は、  
前記第1のクロックが入力され、複数の可変遅延回路が直列に接続された第2の遅延ループと、  
前記基準クロックと前記第2の遅延ループから出力される第2の可変クロックとの位相を比較し、位相差に応じた第2の位相比較結果信号を生成する第2の位相比較器と、  
前記第2の位相比較結果信号を供給され、前記基準クロックと前記第2の可変クロックとの位相を一致させる第2の遅延制御信号を、前記第2の遅延ループを構成する複数の可変遅延回路にそれぞれ与える第2の遅延制御回路とを有することを特徴とするDLL回路。

【請求項3】請求項2または3において、  
前記 $\beta^\circ$ が $180^\circ$ を超えることを特徴とするDDL回路。

【請求項4】請求項2または3において、  
前記可変遅延回路は、複数の論理ゲートを直列接続して構成され、前記遅延制御信号により、前記論理ゲートの段数が可変設定されることを特徴とするDLL回路。

【請求項5】請求項2または3において、  
更に、外部クロックが供給され、前記第1のクロックを出力する入力バッファと、  
前記第1の可変遅延回路が生成する前記制御クロックが供給され、該制御クロックのタイミングで所定の出力を生成する出力回路と、  
前記第1の遅延ループ内に設けられ、前記入力バッファと同等の遅延時間を有するダミー入力バッファ及び前記出力回路と同等の遅延時間を有するダミー出力回路とを

有することを特徴とするDLL回路。

【請求項6】外部クロックから所定の位相 $\alpha^\circ$ 遅延したデータ出力を生成する半導体記憶装置において、  
制御クロックを供給され、前記データ出力を生成する出力回路と、  
前記外部クロックが供給され、第1のクロックを出力する入力バッファと、  
前記第1のクロックが入力され、第1の遅延制御信号により制御され、前記制御クロックを生成する第1の可変遅延回路と、  
前記第1の遅延制御信号を生成するDLL回路とを有し、  
前記DLL回路は、  
前記第1のクロックが入力され、第2の可変遅延回路と第3の可変遅延回路とが直列に接続された第1の遅延ループと、  
前記第1のクロックから $360^\circ$ の整数倍の位相遅れの基準クロックと、前記第1の遅延ループから出力される第1の可変クロックとの位相を比較し、位相差に応じた第1の位相比較結果信号を生成する第1の位相比較器と、  
前記第1の位相比較結果信号を供給され、前記基準クロックと前記第1の可変クロックとの位相を一致させる前記第1の遅延制御信号を前記第2の可変遅延回路及び第1の可変遅延回路に供給する第1の遅延制御回路と、  
第3の可変遅延回路に前記第1のクロックの $\beta^\circ$  ( $=360^\circ - \alpha^\circ$ )の遅延時間を与える第2の遅延制御信号を生成する $\beta^\circ$ 検出回路とを有することを特徴とする半導体記憶装置。

【請求項7】請求項6において、  
前記 $\beta^\circ$ 検出回路は、  
前記第1のクロックが入力され、複数の可変遅延回路が直列に接続された第2の遅延ループと、  
前記基準クロックと前記第2の遅延ループから出力される第2の可変クロックとの位相を比較し、位相差に応じた第2の位相比較結果信号を生成する第2の位相比較器と、  
前記第2の位相比較結果信号を供給され、前記基準クロックと前記第2の可変クロックとの位相を一致させる第2の遅延制御信号を、前記第2の遅延ループを構成する複数の可変遅延回路にそれぞれ与える第2の遅延制御回路とを有することを特徴とする半導体記憶装置。

【請求項8】請求項6または7において、  
前記 $\beta^\circ$ が $180^\circ$ を超えることを特徴とする半導体記憶装置。

【請求項9】請求項6または7において、  
前記第1の遅延ループ内に設けられ、前記入力バッファと同等の遅延時間を有するダミー入力バッファ及び前記出力回路と同等の遅延時間を有するダミー出力回路とを有することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、基準となる外部クロックに対して所定の位相だけ遅延したタイミング信号を生成するDLL (Delayed Lock Loop)回路及びそれを利用した半導体記憶装置に関する。

## 【0002】

【従来の技術】システム側が供給するクロックに同期して高速動作を行うシンクロナスDRAM (SDRAM)等の同期側半導体記憶装置では、例えばクロックの立ち上がりエッジ(位相は $0^\circ$ )に同期して、或いは立ち上がりエッジから所定の位相差遅れのタイミングで各内部回路の動作が行われる。特に、SDRAMの場合は、コラム系の回路をパイプライン構成にし、複数のパイプライン回路間に設けたパイプラインゲートをクロックに同期した内部制御クロックで開き、メモリセルのデータを転送し出力する。

【0003】ところが、最近になって、クロックの立ち上がりエッジに同期するだけでなく、クロックの立ち下がりにも同期して内部のパイプライン動作を行うことで、データの転送レートを上げるDDR (Double Data Rate)方式が提案されている。このDDR方式では、例えば、クロックの立ち上がり(位相差 $0^\circ$ )に同期した内部制御クロックとクロックの立ち下がり(位相差 $180^\circ$ )に同期した内部制御クロックとで、内部の動作タイミングを制御する。或いは、クロックの立ち上がりから $90^\circ$ 遅延した内部制御クロックとクロックの立ち下がりから $90^\circ$ (立ち上がりから位相差 $270^\circ$ )遅延した内部制御クロックとで、内部の動作タイミングを制御する。更に、変形例としては、クロックの立ち上がりから $A^\circ$ 位相遅延した内部制御クロックとクロックの立ち下がりから $A^\circ$ 位相遅延した内部制御クロックとで、内部動作タイミングを制御する。

【0004】この場合、基準となるクロックの立ち上がりから $A^\circ$ 位相遅れの内部制御クロックと、 $180^\circ + A^\circ$ 位相遅れの内部制御クロックとを生成することが必要になる。基準クロックの立ち上がりから所定の位相遅れの内部制御クロックを生成する回路として、DLL回路が知られている。このDLL回路は、基準クロックを所定位相遅らせた第一のクロックと、その基準クロックが与えられる可変遅延回路により生成される第二のクロックとの位相を比較する位相比較回路と、位相比較回路の検出した位相差に応じて可変遅延回路の遅延の程度を制御する遅延制御回路とを有し、第一のクロックと第二のクロックの立ち上がりの位相が一致するように制御することで、可変遅延回路の出力に所定位相遅れの内部制御クロックを生成することができる。

【0005】かかるDLL回路は、本出願人により、平成8(1996)年12月19日出願された特願平8-339988に示される通りである。

## 【0006】

【発明が解決しようとする課題】ところが、基準となるクロックの立ち上がりから $180^\circ$ を超えて遅延する内部制御クロックを生成するためには、多数の可変遅延回路が必要になる。デジタル回路で構成されるDLL回路では、可変遅延回路は多数のインバータ等のゲート回路を直列に接続した構成がとられ、それらのインバータの数を制御することで遅延量が制御される。従って、可変遅延回路の数が増えることにより、デジタルな遅延時間の中間値に対して発生するジッタの総数が大きくなる。

【0007】DLL回路のジッタが大きくなると、生成される内部制御クロックの位相が大きく変動し、基準となる外部クロックに対して正確に所定の位相差をもつ内部制御クロックの生成が困難になる。ジッタを低減する為に、可変遅延回路のゲート数を増加することも考えられるが、そのような解決方法では集積化の弊害となる。

【0008】そこで、本発明の目的は、ジッタが少なく、基準のクロックに対して大きな位相差を有するクロックを生成することができるDLL回路を提供することにある。

【0009】更に、本発明の別の目的は、少ないジッタで、基準となる外部クロックから $180^\circ$ を超える位相差を有するクロックを生成することができるDLL回路を提供することにある。

【0010】更に、本発明の別の目的は、上記DLL回路を有する半導体記憶装置を提供することにある。

## 【0011】

【課題を解決するための手段】上記の目的を達成する為に、本発明は、クロックを所定時間遅延して制御クロックを生成する第1の可変遅延回路に、DLL回路により生成される第1の遅延制御信号を与える。DLL回路は、クロックが与えられる第2の可変遅延回路と第3の可変遅延回路とが直列接続された第1の遅延ループと、前記クロックの $360^\circ$ の整数倍のクロックが基準クロックとして、第1の遅延ループの出力が可変クロックとして与えられる位相比較器と、位相比較器の位相比較結果信号に従って前記の第1の遅延制御信号を、前記両クロックの位相差をなくすように生成する遅延制御回路とを有する。そして、 $\beta^\circ$ 検出回路により生成される第2の遅延制御信号により、前記第2の可変遅延回路が $\beta^\circ$ の遅延時間を有する。その結果、第2の可変遅延回路には、約 $360^\circ - \beta^\circ = \alpha^\circ$ の遅延時間が生成される。この第1の遅延制御信号により第1の可変遅延回路の遅延時間が同様に制御されることで、その出力の制御クロックは、クロックから $\alpha^\circ$ 遅延する。

【0012】本発明では、更に、外部クロックから $\alpha^\circ$ 位相遅れのデータ出力を行う半導体記憶装置において、上記のDLL回路によりクロックから $\alpha^\circ$ 遅れの制御クロックを生成、その制御クロックを出力回路に与える。その結果、データ出力は、外部クロックから $\alpha^\circ$ の位相

遅れに制御される。

【0013】本発明のDLL回路には、可変遅延回路が2つしか利用されていないので、可変遅延回路それぞれが有するジッタの2倍のジッタが最大のジッタとなるので、制御クロックの位相を正確に制御することができる。特に、 $\alpha^\circ > 180^\circ$  の場合に、ジッタを抑えたDLL回路として有用である。

【0014】本発明は、第1のクロックから所定の位相 $\alpha^\circ$  遅延した制御クロックを生成するDLL回路において、前記第1のクロックが入力され、前記制御クロックを生成する第1の可変遅延回路と、前記第1のクロックが入力され、第2の可変遅延回路と第3の可変遅延回路とが直列に接続された第1の遅延ループと、前記第1のクロックから $360^\circ$  の整数倍の位相遅れの基準クロックと、前記第1の遅延ループから出力される第1の可変クロックとの位相を比較し、位相差に応じた第1の位相比較結果信号を生成する第1の位相比較器と、前記第1の位相比較結果信号を供給され、前記基準クロックと前記第1の可変クロックとの位相を一致させる第1の遅延制御信号を前記第2の可変遅延回路及び第1の可変遅延回路に供給する第1の遅延制御回路と、第3の可変遅延回路に前記第1のクロックの $\beta^\circ$  ( $=360^\circ - \alpha^\circ$ ) の遅延時間を与える第2の遅延制御信号を生成する $\beta^\circ$  検出回路とを有することを特徴とする。

【0015】更に、上記において、前記 $\beta^\circ$  検出回路は、前記第1のクロックが入力され、複数の可変遅延回路が直列に接続された第2の遅延ループと、前記基準クロックと前記第2の遅延ループから出力される第2の可変クロックとの位相を比較し、位相差に応じた第2の位相比較結果信号を生成する第2の位相比較器と、前記第2の位相比較結果信号を供給され、前記基準クロックと前記第2の可変クロックとの位相を一致させる第2の遅延制御信号を、前記第2の遅延ループを構成する複数の可変遅延回路にそれぞれ与える第2の遅延制御回路とを有することを特徴とする。

【0016】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0017】図1は、本発明の実施の形態例の原理を示す回路図である。この原理図には、例としてメモリ装置の出力回路1の出力のタイミングを制御する内部制御クロックS9を、基準となる外部クロックCLKから $(\alpha - A)^\circ$  の位相遅れに生成するDLL回路が示されている。尚、位相 $A^\circ$  は、出力回路1の遅延時間に対応し、内部制御クロックS9を外部クロックCLKから $(\alpha - A)^\circ$  の位相遅れにすることで、出力回路1の出力信号S10は、外部クロックから $\alpha^\circ$  の位相遅れとなる。

【0018】原理図では、外部クロックCLKが、第1

の可変遅延回路2に与えられ、遅延制御信号S12により制御された遅延を有する内部制御クロックS9が出力される。この遅延制御信号S12は、以下のDLL回路により生成される。外部クロックCLKを $360^\circ$  またはその整数倍(m)遅延させたクロックS3が、遅延回路6により生成され、位相比較及び遅延制御回路7に基準クロックとして一方の入力に与えられる。更に、外部クロックCLKを、第2の可変遅延回路3、第3の可変遅延回路4及びダミー出力回路5からなる遅延ループを介して遅延させられたクロックS8が、位相比較及び遅延制御回路7に可変クロックとしてもう一方の入力に与えられる。これがDLL回路である。

【0019】DLL回路では、基準クロックS3の位相に遅延ループを経由して生成された可変クロックS8の位相が一致する様に、遅延制御信号S12を生成する。その遅延制御信号S12により第二の可変遅延回路3の遅延時間が制御される。更に、第3の可変遅延回路4は、 $\beta^\circ$  ( $=360^\circ \times m - \alpha^\circ$ ) の遅延を検出する $\beta^\circ$  遅延制御回路8が生成する遅延制御信号S14でその遅延時間が制御される。従って、第3の可変遅延回路4は、 $\beta^\circ$  の遅延時間を有する様に制御される。ダミー出力回路5は、出力回路1と同じ $A^\circ$  の遅延時間を有する回路である。

【0020】位相比較及び遅延制御回路7が、両入力クロックS3とS8の位相が一致する様に遅延制御信号S12を生成する。従って、可変クロックS8は、基準クロックS3と同様に、外部クロックCLKから $(360 \times m)^\circ$  遅延する。そして、第3の可変遅延回路4は、遅延制御信号S14により $\beta^\circ$  の遅延時間を有するので、第2の可変遅延回路3は、外部クロックCLKから $\alpha^\circ - A^\circ$  ( $=360 \times m - \beta - A$ )  $^\circ$  だけ遅延したクロックS5を生成する。

【0021】上記の第2の可変遅延回路3の遅延制御を行う遅延制御信号S12により、同様の構成の第1の可変遅延回路2の遅延時間を制御することにより、第1の可変遅延回路2の出力クロックS9は、外部クロックCLKから $(\alpha - A)^\circ$  の位相遅れを有するよう制御される。

【0022】尚、 $m=1$  の時は、クロックS3は $360^\circ$  遅延し、クロックS8は $360^\circ$  遅延し、 $\beta=360 - \alpha$  となる。

【0023】図1に示した原理図では、第2の可変遅延回路3と第3の可変遅延回路4とは、デジタル遅延回路で構成される。そして、 $\alpha^\circ > 180^\circ$  の場合は、 $\beta=360 - \alpha$  であるので、 $\beta^\circ < 180^\circ$  となる。DLL回路の遅延ループ内には第2及び第3の可変遅延回路しか存在しないのでジッタの合計は最大でも2倍のジッタとなり小さく抑えられる。従って、原理図のDLL回路を利用して、遅延制御信号S12により第1の可変遅延回路2の遅延時間を制御することで、ジッタが少ないよ

り正確な内部制御クロックS9を生成することができる。

【0024】図2は、実施の形態例の具体的なDLL回路を示す図である。この例では、メモリ装置の出力回路1の出力のタイミングを制御する内部制御クロックS9を、基準となる外部クロックCLKから $(270-A)^{\circ}$ の位相遅れに生成するDLL回路が示されている。即ち、原理図の $\alpha=270^{\circ}$ の例である。従って、 $\beta=90^{\circ}$ となる。

【0025】外部クロックCLKは、入力バッファ10により内部に取り込まれ内部クロックS1が生成される。この入力バッファ10での遅延を $B^{\circ}$ とする。内部クロックS1は、第1の可変遅延回路2に供給され、そこで、後述する第1のDLL回路が生成する遅延制御信号S12で制御された遅延時間分遅延した内部制御クロックS9が生成される。内部制御クロックS9は、外部クロックCLKより $270^{\circ}$ （正確には $(270-A)^{\circ}$ ）位相が遅れたクロックとなる。出力回路1は、位相が $A^{\circ}$ の遅延を有し、内部制御クロックS9を与えられてから、図示しないメモリセルからの読み出しデータを出力信号S10として生成する。即ち、出力信号S10は、外部クロックCLKから $270^{\circ}$ の位相遅れを有する。

【0026】上記の第1の可変遅延回路2の遅延時間を制御する遅延制御信号S12は、第2の可変遅延回路3を含む遅延ループ回路と、第1の位相比較器12、第1の遅延制御回路13により構成される第1のDLL回路40により生成される。内部クロックS1は、分周器11により例えば4分の1に分周され、その分周されたクロックS2が、第2の可変遅延回路3に供給される。第2の可変遅延回路3も遅延制御信号S12により制御された遅延時間を有する。第2の可変遅延回路3の出力クロックS5は、更に第3の可変遅延回路4に供給される。第3の可変遅延回路4は、 $90^{\circ}$ の位相遅延に制御され、クロックS6を出力する。クロックS6は、ダミー出力回路5とダミー入力バッファ回路14を経由して、可変クロックS8として、第1の位相比較器12に供給される。

【0027】一方、分周器11は、内部クロックS1を4分の1に分周すると共に、内部クロックS1から $360^{\circ}$ の位相遅れの基準クロックS3を生成する。例えば、分周器11が、内部クロックS1の4分の1の周波数を有し、パルス幅が内部クロックS1の1周期の長さを持つクロックS2を生成し、そのクロックS2の反転クロックが基準クロックS3となる。

【0028】図3は、図2の回路のタイミングチャート図である。外部クロックCLKに対して、クロックS1は入力バッファ10の遅延である $B^{\circ}$ 遅れを有する。そして、分周器11は、内部クロックS1の4倍の周期であり、内部クロックS1の1周期のクロック幅を有する

基準クロックS2を生成する。その結果、図3に示される通り、基準クロックS2の反転クロックS3は、その立ち上がりエッジのタイミングが、内部クロックS2の立ち上がりエッジのタイミングから、外部クロックCLKの $360^{\circ}$ の位相遅れとなる。即ち、クロックS3は外部クロックCLKから $360^{\circ}+B^{\circ}$ の位相遅れである。

【0029】第1の位相比較器12は、かかる基準クロックS3と可変クロックS8との位相を比較し、その位相比較結果信号S11を生成する。第1の遅延制御回路13は、位相比較結果信号S11に従って、両クロックS3、S8の位相が一致する様に遅延制御信号S12を生成する。そして、かかる遅延制御信号S12により、第2の可変遅延回路3の遅延時間が制御される。

【0030】第3の可変遅延回路4は、遅延制御信号S14により、外部クロックCLKの $90^{\circ}$ の位相遅れを持つように制御される。この遅延制御信号S14は、 $90^{\circ}$ 遅延制御回路8により生成される。 $90^{\circ}$ 遅延制御回路8は、第2のDLL回路を構成し、基準クロックS2が与えられる4つの可変遅延回路15~18と、第2の位相比較器20と、第2の遅延制御回路19とからなる。4つの可変遅延回路15~18は並列に設けられ、最終段の可変遅延回路18の出力が可変クロックS4として第2の位相比較器20に与えられる。更に、クロックS2より $360^{\circ}$ の位相遅れのクロックS3が、基準クロックとして第2の位相比較器20の他方の入力として与えられる。

【0031】第2の位相比較器20は、両クロックS3、S4の位相を比較し、位相比較結果信号S13を生成する。第2の遅延制御回路19は、位相比較結果信号S13をもとに、両クロックS3、S4の位相が一致する様に遅延制御信号S14を生成する。その結果、4つの可変遅延回路15~18は、それぞれ $90^{\circ}$ の位相遅れを有することになる。従って、同様の構成の第3の可変遅延回路4も、遅延制御信号S14により $90^{\circ}$ の位相遅れを有する。

【0032】上記した通り、第1のDLL回路では、遅延ループでは合計で $360^{\circ}$ の遅延を有する様に制御される。そして、第3の可変遅延回路4が $90^{\circ}$ の位相遅れ、ダミー出力回路5が $A^{\circ}$ 、ダミー入力バッファ回路14が $B^{\circ}$ の遅れを有するので、第2の可変遅延回路3は、 $360^{\circ}-(90+A+B)^{\circ}=(270-A-B)^{\circ}$ の位相遅れを有する様に、遅延制御信号S12により制御されることが理解される。クロックS2は、外部クロックCLKから $B^{\circ}$ 遅延しているため、第2の可変遅延回路3の出力クロックS5は、外部クロックCLKから $(270-A)^{\circ}$ 遅れとなる。

【0033】従って、同じ遅延制御信号S12により制御される第1の可変遅延回路2の出力である内部制御クロックS9も、外部クロックCLKから $(270-A)$

・の位相遅れを有する様に制御される。図3に示される通り、内部制御クロックS9により出力のタイミングが制御される出力回路1は、外部クロックCLKから270°の位相遅れを持つ出力信号S10を生成する。

【0034】図2に示された第1のDLL回路40は、可変遅延回路として第2の可変遅延回路3と第3の可変遅延回路4とを有するのみである。従って、DLL回路全体の可変遅延回路のデジタル遅延回路のよるジッタの最大値は、それぞれ可変遅延回路のジッタの2倍となる。従って、少ないジッタを有する遅延制御信号S12を生成することができる。更に、図2のDLL回路では、第3の可変遅延回路の遅延量を制御することで、クロックS5を任意の位相にすることができる。

【0035】次に、上記のDLL回路を構成する、可変遅延回路、遅延制御回路及び位相比較器の具体的回路例を示す。

【0036】図4は、可変遅延回路の一例を示す回路図である。可変遅延回路2, 3, 4, 15~18は同じ回路構成を有する。遅延制御信号p1~p(n)によりその遅延時間が選択される。この可変遅延回路は、入力端子INに印加されるクロックを所定時間遅延させて出力端子OUTに出力する。この例では、n段の遅延回路となり、1段目はNAND711、712及びインバータ713で構成され、2段目は、NAND721、722及びインバータ723で構成され、以下同様にして、n段目はNAND761、762及び763で構成される。

【0037】遅延制御信号p1~p(n)は、いずれか1つがHレベルになり、他は全てLレベルになる。そして、Hレベルになった遅延制御信号pにより対応するNAND711、721、...761が1つだけ開かれ、入力INに印加されるクロックを通過させる。他のLレベルの遅延制御信号pにより、対応する他のNAND711、721、...761が全て閉じられる。図示される通り、遅延制御信号p1がHレベルの時はNAND711が開かれ、入力端子INから、インバータ701、NAND711、712及びインバータ713を経由して出力端子OUTまでの遅延経路が形成される。従って、ゲート4段の遅延を有する。

【0038】遅延制御信号p2がHレベルの時はNAND721が開かれる。ゲート762の入力は共にHレベルであるので、インバータ763の出力はHレベル、同様にインバータ753、743...の出力もHレベルである。従って、NAND722も開かれた状態である。その結果、入力端子INから、インバータ701、ゲート721~723、712、713を経由して出力端子OUTまでの遅延経路が形成される。従って、ゲート6段の遅延を有する。

【0039】以下、図4中に示された通り、Hレベルの遅延制御信号pが左に移動する度に、遅延経路のゲート数が2ゲートずつ増加する。これが可変遅延回路のジッタの原因である。遅延制御信号p(n)がHレベルの時

は、 $2+2n$ 段のゲート数の遅延経路となる。

【0040】図5は、遅延制御回路の図である。図5には、遅延制御回路の一部分が示され、説明の都合上、可変遅延回路の遅延制御信号p1~p6が示されているとする。この遅延制御回路には、位相比較器からの位相比較結果である検出信号A~Dが与えられ、信号A、BによりHレベルの遅延制御信号pが右側にシフトされ、検出信号C、DによりHレベルの遅延制御信号pが左側にシフトされる。

【0041】遅延制御回路の各段は、例えば1段目では、NANDゲート612とインバータ613からなるラッチ回路をそれぞれ有する。また、検出信号A~Dによりラッチ回路612、613の状態を強制的に反転させるトランジスタ614、615を有する。トランジスタ616、617は、反転の対象外の場合にトランジスタ614、615によってはラッチ回路が反転されないようにする為に設けられる。2段目~6段目の回路も同様の構成である。これらのトランジスタは全てNチャネル型である。

【0042】今仮に、4段目の出力p4がHレベルの状態であるとする。他の出力は全てLレベルの状態にある。各段のラッチ回路の状態は、図5にH、Lで示される通りである。即ち、1段目から3段目までは、ラッチ回路は、NAND出力がHレベルでインバータ出力がLレベルであるのに対して、4段目から6段目では、ラッチ回路は、NAND出力がLレベルでインバータ出力がHレベルである。従って、グランドに接続されているトランジスタは、617、627、637、647、646、656、666がそれぞれ導通状態にある。即ち、ラッチ状態の境界の両側にある4段目の回路のトランジスタ647と3段目のトランジスタ636が導通状態にあり、検出信号BまたはCによりそのラッチ状態が反転可能な状態になっている。

【0043】そこで、仮に、検出信号CにHレベルが与えられると、トランジスタ645が導通し、インバータ643の出力が強制的にHレベルからLレベルに駆動される。その為、NANDゲート642の出力もLレベルからHレベルに切り換えられ、その状態がラッチされる。NANDゲート642の出力がHレベルになることで、NORゲート641の出力p4はLレベルになり、代わってインバータ643の出力のLレベルへの変化によりNORゲート651の出力p5がHレベルに切り換えられる。その結果、Hレベルの遅延制御信号はp4からp5にシフトする。図6で説明した通り、Hレベルの遅延制御信号pが左側にシフトすることで、可変遅延回路の遅延経路が長くなり遅延時間は長くなるように制御される。

【0044】一方、仮に、検出信号BにHレベルが与えられると、上記の同様の動作により、3段目のラッチ回路のNANDゲート632の出力がLレベルに強制的に切り換えられ、インバータ633の出力はHレベルに切り換わる。その結果、出力p3がHレベルになる。これに



より、可変遅延回路の遅延経路が短くなり遅延時間は短くなるように制御される。

【0045】更に、出力 $p_5$ または $p_3$ がHレベルになると、今度は、検出信号AまたはDによりHレベルの出力がそれぞれ右側または左側にシフト制御される。即ち、検出信号A、BはHレベルの出力を右側にシフト制御し、検出信号C、DはHレベルの出力を左側にシフト制御する。更に、検出信号A、Dは、奇数番目の出力 $p_1$ 、 $p_3$ 、 $p_5$ がHレベルの状態の時にシフト制御し、検出信号B、Cは偶数番目の出力 $p_2$ 、 $p_4$ 、 $p_6$ がHレベルの時にシフト制御する。

【0046】図6は、位相比較器の詳細回路図である。この位相比較器には、可変クロックVar i CLKと基準クロックRe f CLKのクロックの位相の関係を検出する位相検出部51を有する。この位相検出部51は、NANDゲート501、502及び503、504からなるラッチ回路を2つ有し、基準クロックRe f CLKに対して可変クロックVar i CLKの位相が、(1)一定時間以上進んでいる場合、(2)一定時間内程度の位相差の関係にある場合、及び(3)一定時間以上遅れている場合を検出する。検出出力 $n_1 \sim n_4$ の組み合わせにより上記3つの状態が検出される。

【0047】サンプリングパルス発生部52は、NANDゲート505、遅延回路506、NORゲート507からなり、2つのクロックRe f CLKとVar i CLKが共にHレベルになる時にサンプリング信号をノード $n_9$ に出力する。サンプリングラッチ回路部53は、サンプリング信号 $n_9$ により、検出出力 $n_1 \sim n_4$ をサンプリングゲート508～511によりサンプリングし、NAND512、513及び514、515からなるラッチ回路でラッチする。従って、サンプリング時の検出出力 $n_1 \sim n_4$ がノード $n_5 \sim n_8$ にそれぞれラッチされる。

【0048】2分の1分周回路54はJKフリップフロップ構成であり、両クロックVar i CLK、Re f CLKが共にHレベルになる時をNANDゲート520で検出し、その検出パルス $n_{10}$ を2分の1分周して、逆相のパルス信号 $n_{11}$ と $n_{12}$ とを生成する。デコード部55は、サンプリングラッチされたノード $n_5 \sim n_8$ の信号をデコードして、可変クロックVar i CLKがレファレンスクロックRe f CLKより進んでいる時はダイオード536の出力をHレベルにし、両クロックの位相が一致している時はダイオード536と540の出力を共にLレベルにし、更に可変クロックVar i CLKがレファレンスクロックRe f CLKより遅れている時はダイオード540の出力をHレベルにする。出力回路部56は、デコード部55の出力に応じて、逆相パルス信号 $n_{11}$ と $n_{12}$ にตอบสนองして、検出信号A～Dを出力する。検出信号A～Dは、既に説明した通り遅延制御回路の状態を制御する。

【0049】図7は、図6の動作を示すタイミングチャ

ート図である。この図では、可変クロックVar i CLKが基準クロックRe f CLKより進んでいる状態、両クロックの位相が一致している状態、そして可変クロックVar i CLKが基準クロックRe f CLKより遅れる状態を順に示している。即ち、サンプリングパルス $n_9$ がS1、S2の時は、可変クロックVar i CLKが進んでいるので、それが検出され、パルス $n_{12}$ にตอบสนองして検出信号CがHレベルで出力され、またパルス $n_{11}$ にตอบสนองして検出信号DがHレベルで出力される。サンプリングパルスがS3の時は、位相が一致して検出信号A～Dは全てLレベルとなる。更に、サンプリングパルスS4、S5、S6の時は、可変クロックVar i CLKが遅れているので、それが検出され、パルス $n_{11}$ にตอบสนองして検出信号Bが或いはパルス $n_{12}$ にตอบสนองして検出信号AがそれぞれHレベルになる。

【0050】上記の動作を以下に順番に説明する。

【0051】[サンプリングパルスS1]この期間では、可変クロックVar i CLKが進んでいるので、両クロックVar i CLK、Re f CLKが共にLレベルの状態から、可変クロックVar i CLKが先にHレベルになり、ノード $n_2$ がLレベル、ノード $n_1$ がHレベルでラッチされる。NAND及びインバータ500は、可変クロックVar i CLKを一定時間遅らせる遅延エレメントであり、NAND503、504でも同様にノード $n_3 = \text{Hレベル}$ 、ノード $n_4 = \text{Hレベル}$ がラッチされる。そこで、サンプリング発生部52にて、両クロックVar i CLK、Re f CLKが共にHレベルになるタイミングから、遅延回路506の遅延時間分の幅を持つサンプリングパルス $n_9$ が生成され、位相比較部51でのラッチ状態がサンプリングされ、ラッチ部53でそのラッチ状態がラッチされる。即ち、ノード $n_1 \sim n_4$ の状態がノード $n_5 \sim n_8$ に転送される。

【0052】そして、両クロックVar i CLK、Re f CLKが共にHレベルになるタイミングでパルス $n_{10}$ が生成される。分周回路部54は、NAND524、525のラッチ回路とNAND528、529のラッチ回路とがゲート526、527及びゲート530、531で結合され、それらのゲートは、パルス $n_{10}$ の反転、非反転パルスで開かれる。従って、パルス $n_{10}$ が2分の1に分周される。

【0053】デコーダ部55では、ノード $n_5 \sim n_8$ のH、L、H、Lレベルの状態により、インバータ536の出力がHレベルに、インバータ540の出力がLレベルになる。従って、パルス $n_{12}$ にตอบสนองして、インバータ536のHレベルがNAND543、インバータ544を介して、検出信号CをHレベルにする。検出信号CのHレベルにより、シフトレジスタのHレベルの出力は左側にシフトし、可変遅延回路の遅延経路が長くなる。その結果、可変クロックVar i CLKは遅れる方向に制御される。



【0054】[サンプリングパルスS2]上記の同様に、可変クロックVar i CLKが進んでいることが、位相比較部51で検出され、パルスn11にตอบสนองして検出信号DがHレベルになる。従って、同様に遅延制御回路の遅延制御信号であるHレベル出力は左側に移動し、可変遅延回路の遅延経路はより長くなる。

【0055】[サンプリングパルスS3]サンプリングパルスS3が出力されるタイミングでは、両クロックVar i CLKとRef CLKとはほとんど位相が一致する。遅延エレメント505での遅延時間以内の位相ずれを有する場合は、可変クロックVar i CLKがわずかに進んでいる時は、

n1=H、n2=L、n3=L、n4=H  
n5=H、n6=L、n7=L、n8=H

となる。この状態が図7に示されている。また、遅延エレメント505での遅延時間以内の位相ずれを有する場合で、可変クロックVar i CLKがわずかに遅れている時は、

n1=L、n2=H、n3=H、n4=L  
n5=L、n6=H、n7=H、n8=L

となる。

【0056】いずれの場合でも、デコーダ部55によりデコードされ、両インバータ536、540の出力が共にLレベルとなり、検出出力A～DはすべてLレベルとなる。その結果、遅延制御回路の状態は変化せず、可変遅延回路の遅延時間の変化しない。

【0057】[サンプリングパルスS4、S5、S6]この場合は、可変クロックVar i CLKが遅れている。従って、位相比較部51のラッチ状態は、  
n1=L、n2=H、n3=L、n4=H  
となり、その結果、サンプリングされたラッチ部53でも、

n5=L、n6=H、n7=L、n8=H

となる。この状態がデコーダ部55でデコードされ、インバータ536はLレベル出力、インバータ540はHレベル出力になる。従って、パルスn11とn12にตอบสนองして、検出信号BとAとがそれぞれHレベルとなる。その結果、遅延制御回路の遅延制御信号pが右方向にシフトし、可変遅延回路の遅延経路を短くして遅延時間を短くする。そのため、可変クロックVar i CLKが進む方向に制御される。

【0058】図8は、別のDLL回路の例を示す図である。この例は、外部クロックCLKより90°位相遅れの内部制御クロックS29を生成するDLL回路の例である。外部クロックCLKが入力バッファ10により取り込まれ、内部クロックS1が生成される。従って、内部クロックS1は入力バッファ回路10の遅延B°だけ遅れている。この内部クロックS1は、第4の可変遅延回路01で遅延され、内部制御クロックS29が生成される。内部制御クロックS29は、正確には、外部クロ

ックCLKから(90-A)°遅れたタイミングを有する。A°は、出力回路1の遅延時間に相当する。

【0059】このDLL回路は、第5の可変遅延回路102、ダミー出力回路103、ダミー入力バッファ104からなる遅延ループと、第3の位相比較器105及び第3の遅延制御回路106で構成される。上記の可変遅延回路、遅延制御回路、位相比較器は、図4～7で示した回路と同じである。位相比較器105に入力される基準クロックS35は、内部クロックS1を分周器113で分周したクロックS2を90°遅延させたクロックであり、可変クロックS28は、遅延ループの出力である。

【0060】90°DLL回路120は、4つの可変遅延回路107～110、第4の位相比較器111、第4の遅延制御回路112で構成される。この構成は、図2で示した90°DLL回路8と同じである。分周器113により分周され、360°位相遅れのクロックS3が基準クロックとして第4の位相比較器111に与えられ、クロックS2を4つの可変遅延回路107～110で遅延させたクロックS24が可変クロックとして与えられる。従って、第4の遅延制御回路112が、両クロックS3、S24の位相を合わせるように遅延制御信号S34を生成すれば、1つの可変遅延回路107～110は、それぞれ90°の位相遅延を有することになる。このクロックS2から90°(外部クロックから90°+B°)遅延したクロックS35が、第3の位相比較器105の基準クロックとして与えられる。

【0061】第3の位相比較器105では、外部クロックCLKから(90+B)°遅延したクロックS35と可変クロックS28とを比較し、位相比較結果信号S31を生成する。第3の遅延制御回路106は、位相比較結果信号S31に従い、両クロックの位相が一致するように遅延制御信号S32を生成し、第5及び第4の可変遅延回路の遅延を制御する。その結果、第5の可変遅延回路102の出力S25は、外部クロックCLKから(90-A)°の位相遅れとなる。同様に、内部制御クロックS29も、外部クロックCLKから(90-A)°の位相遅れとなり、出力回路1の出力S30は、外部クロックCLKから90°の位相遅れとなる。

【0062】図8に示されたDLL回路は、4つの可変遅延回路107～110の出力を適宜選択することで、内部制御クロックS29の遅延を、90°、180°、270°、360°にすることができる。また、可変遅延回路107～110を介さずにクロックS2を第3の位相比較器の基準クロックとすることで、位相差0°の内部制御クロックS29を生成することができる。

【0063】上記した様に、3番目の可変遅延回路109の出力を第3の位相比較器105の基準クロックとして使用すると、外部クロックCLKから(270-A)°遅延した内部制御クロックS29を生成することがで

きる。但し、その場合は、DLL回路内に、第5の可変遅延回路102に加えて、3つの可変遅延回路107、108、109を有することになる。それぞれの可変遅延回路がジッタを有し、DLL回路の合計のジッタは、最大で1つの可変遅延回路の4倍になる。可変遅延回路は、図4に示した例では、2段のゲート毎の遅延時間の分解能を有する。従って、その中間の遅延特性が要求される時に、2段のゲートの遅延時間分のジッタが発生する。従って、DLL回路内に可変遅延回路が多く存在すると、それらのジッタが相乗されて、トータルでは大きなジッタとなる。かかるジッタは、内部制御クロックS29のタイミングの誤差となるので、できるだけ小さくすることが望まれる。

【0064】図2に示したDLL回路では、遅延時間が $180^\circ$ を超える $270^\circ$ であるが、その内部には、2つの可変遅延回路3、4が設けられるだけであり、図8のDLL回路と同等のジッタのレベルである。

【0065】図9は、図2と図8のDDL回路回路がSDRAMに適用された場合の具体例を示す図である。この例では、コラム系の回路20がパイプライン構成される。共通のアドレス端子Addから行アドレスとコラムアドレスとが供給されるが、最初の外部クロックCLKに同期して供給された行アドレスは、行アドレスバッファ23に取り込まれ、増幅され、行デコーダ24に供給される。行デコーダ24により選択されたワード線WLが駆動され、メモリセル26が選択される。メモリセル26のデータはビット線BL、/BLの一方に出力され、他方のレファレンス電圧と共に、センスアンプ27で増幅される。ここまでの、行アドレス側の回路の動作である。

【0066】その後、コラムアドレスが外部クロックCLKに同期してアドレス端子Addに供給され、コラムアドレスバッファ28で増幅される。そのアドレス信号はコラムデコーダ29でデコードされ、センスアンプ27のうち選択されたセンスアンプがデータバス線対DB、/DBに接続される。そして、データバス線対DB、/DBのデータが、データバスアンプ30で更に増幅される。コラム系の回路20のうち、ここまでの回路が例えば初段のパイプライン回路に対応する。

【0067】外部クロックCLKは、一旦クロック入力バッファ10で増幅されてから、内部クロック生成回路であるDLL(Delayed Lock Loop、デレイド・ロック・ループ)回路22に与えられる。DLL回路22では、外部クロックに対して出力回路1の遅延時間 $A^\circ$ に相当する時間だけ進んだ位相を有する内部クロックi-clkが生成される。このDLL回路は、例えば図8で説明した構成である。内部クロックi-clkは、パイプラインゲート13に供給され、内部クロックi-clkに同期してパイプラインゲート13が開かれる。

【0068】更に、データバスコントロール回路31

は、第二段のパイプライン回路に対応し、データバス選択等の所定の制御動作が行われる。そして、更にパイプラインゲート15が制御クロックi-clk2に同期して開かれ、データバスコントロール回路31の出力信号が出力回路1に与えられる。そして、出力回路1から読み出しデータがデータ出力端子DQに出力される。

【0069】内部クロックS1は、更に、図2で示したDLL回路34と図8で示したDLL回路33に与えられる。それぞれのDLL回路から、外部クロックCLKから $(270-A)^\circ$ 遅れの制御クロックS9と、 $(90-A)^\circ$ 遅れの制御クロックS29とが生成される。

【0070】図10は、図9のSDRAMのタイミングチャート図である。この図に示される通り、外部クロックCLKに対して、制御クロックS9とS29が生成される。そして、クロック合成回路35により、両クロックS9、S29の立ち上がりエッジを有する2倍の周波数の制御クロックi-clk2が生成される。この制御クロックi-clk2により、パイプラインゲート15が開かれて、読み出しデータが出力回路1からDQ端子に出力される。図10に示される通り、制御クロックS9とS29を生成することで、出力回路1からの出力のレートを外部クロックCLKの2倍にすることができる。

【0071】

【発明の効果】以上説明した通り、本発明によれば、基準となるクロックから $180^\circ$ 以上の位相遅れを有するクロックを生成する為のDLL回路において、 $180^\circ$ 以上の遅延を生成する複数の可変遅延回路を使用せずに、第2の可変遅延回路と第3の可変遅延回路とで所望のクロックを生成することができる。従って、DLL回路のデジタル可変遅延回路内のジッタの合計を少なくすることができ、より正確な位相遅れを有する制御クロックを生成することができる。

【図面の簡単な説明】

【図1】本発明の原理を示す回路図である。

【図2】実施の形態例の具体的なDLL回路を示す図である。

【図3】図2の回路のタイミングチャート図である。

【図4】可変遅延回路の一例を示す回路図である。

【図5】遅延制御回路の図である。

【図6】位相比較器の詳細回路図である。

【図7】図6の動作を示すタイミングチャート図である。

【図8】別のDLL回路の例を示す図である。

【図9】DDL回路回路がSDRAMに適用された場合の具体例を示す図である。

【図10】図9のSDRAMのタイミングチャート図である。

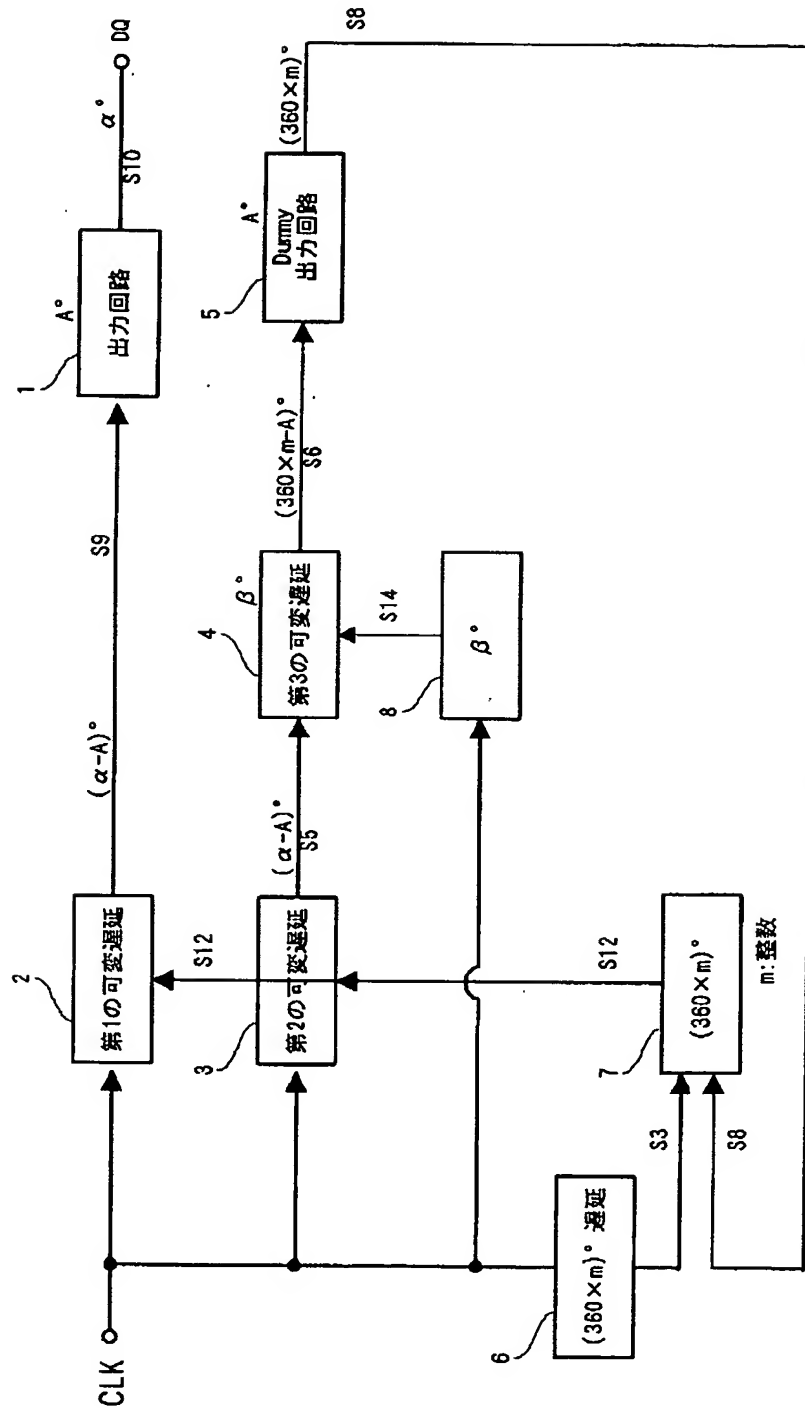
【符号の説明】

1 出力回路

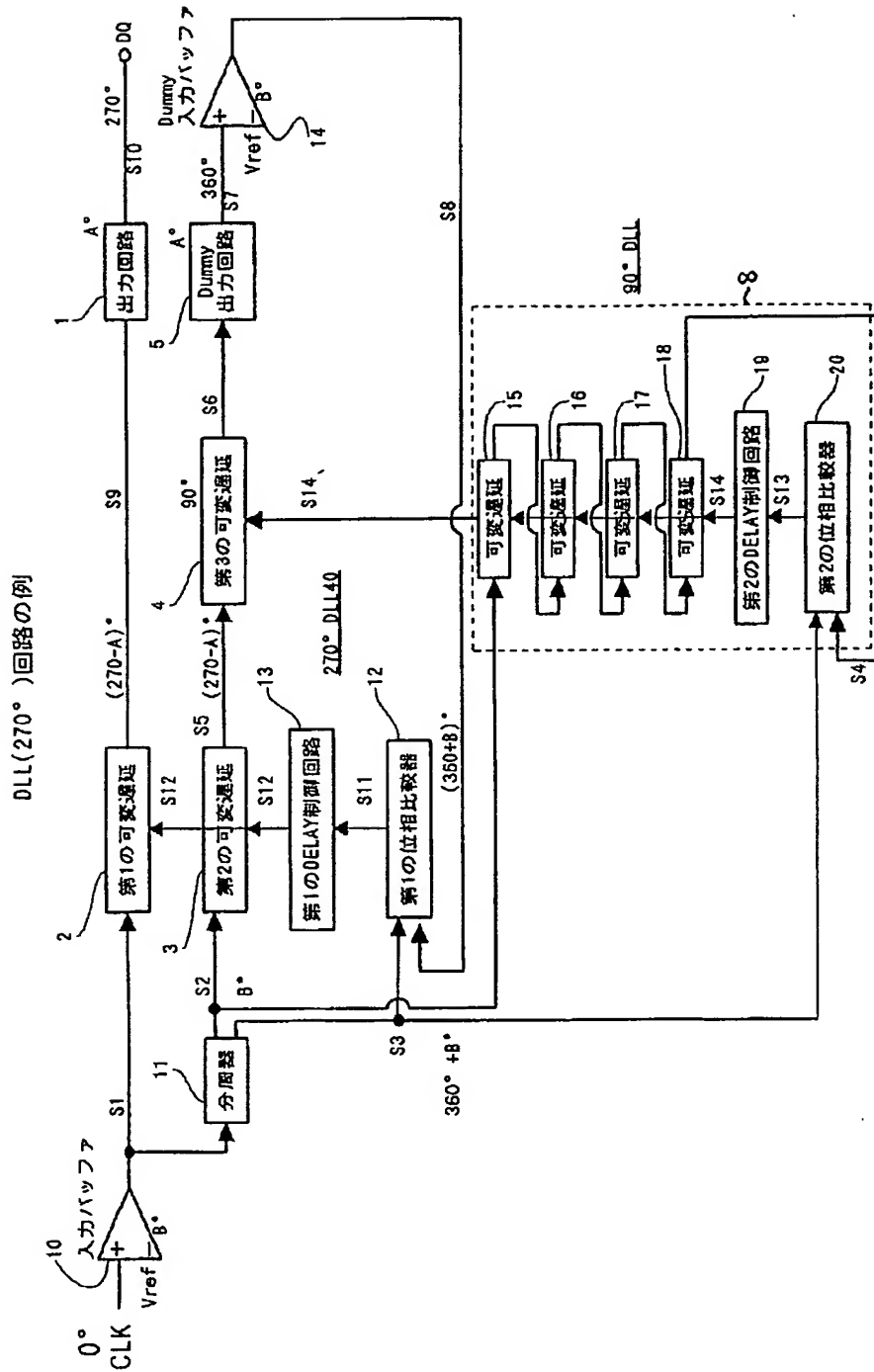
- |    |          |       |           |
|----|----------|-------|-----------|
| 2  | 第1の変遅延回路 | 13    | 第1の遅延制御回路 |
| 3  | 第2の変遅延回路 | 14    | ダミー入力バッファ |
| 4  | 第3の変遅延回路 | 15~18 | 可変遅延回路    |
| 5  | ダミー出力回路  | 19    | 第2の遅延制御回路 |
| 10 | 入力バッファ   | 20    | 第2に位相比較器  |
| 12 | 第1の位相比較器 |       |           |

【図1】

本発明の実施の形態例の原理図

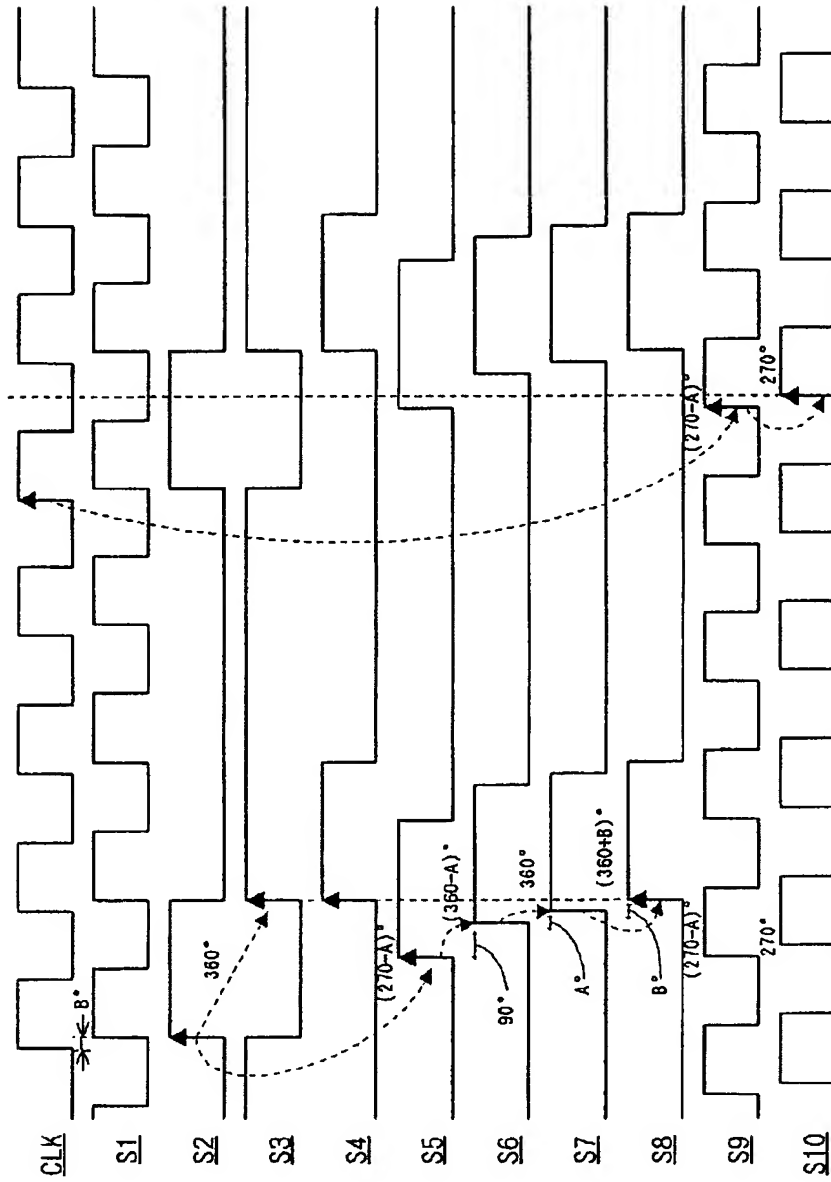


【図2】



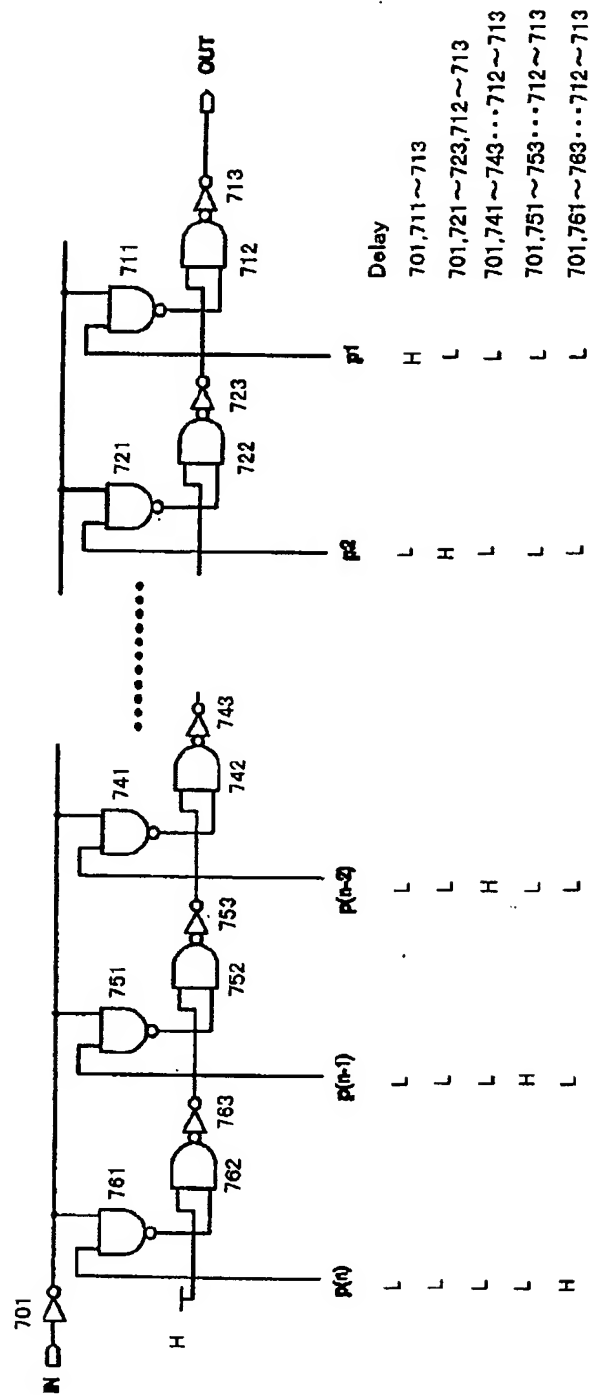
【図3】

図2のタイミングチャート図



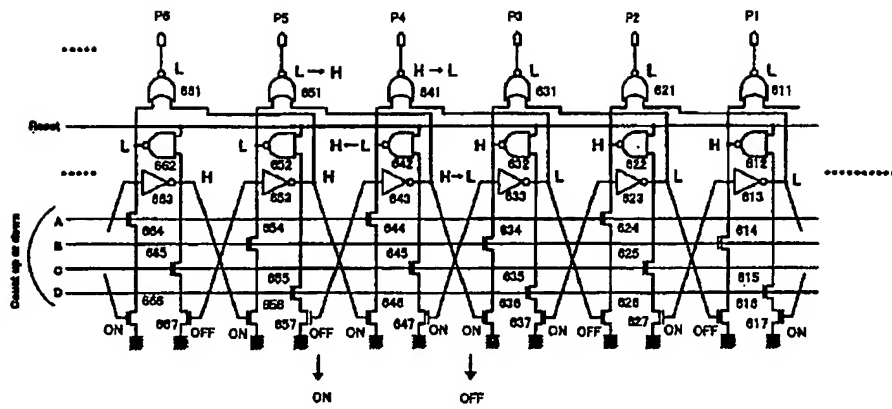
【図4】

## 可変遅延回路



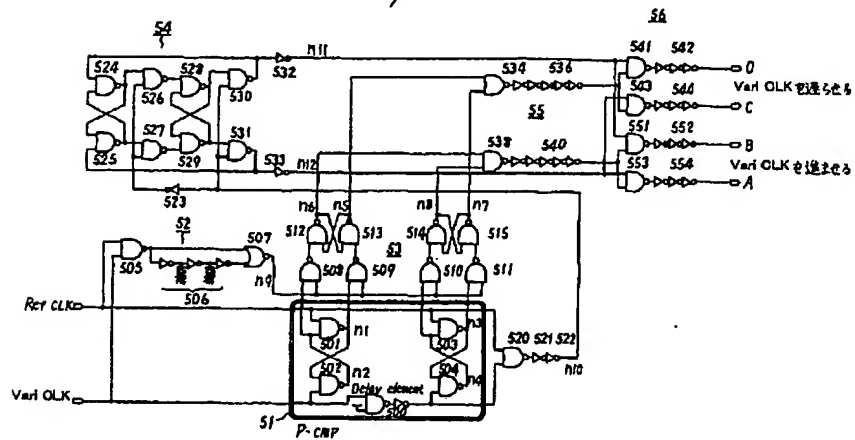
【図5】

遷移制御回路



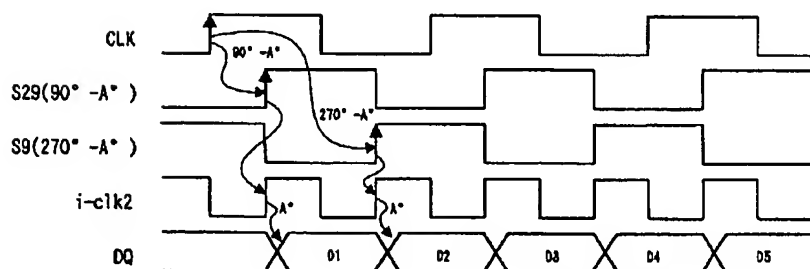
【図6】

50 Phase Comparator



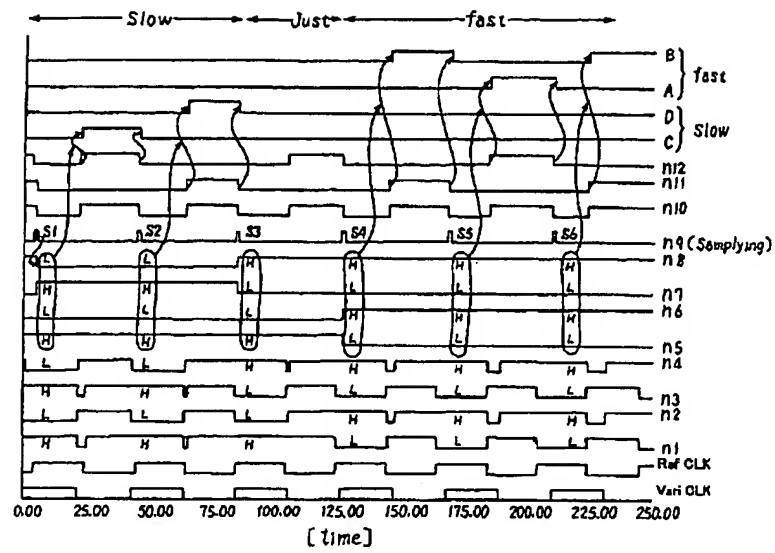
【図10】

シンクロナスDRAMのタイミングチャート図



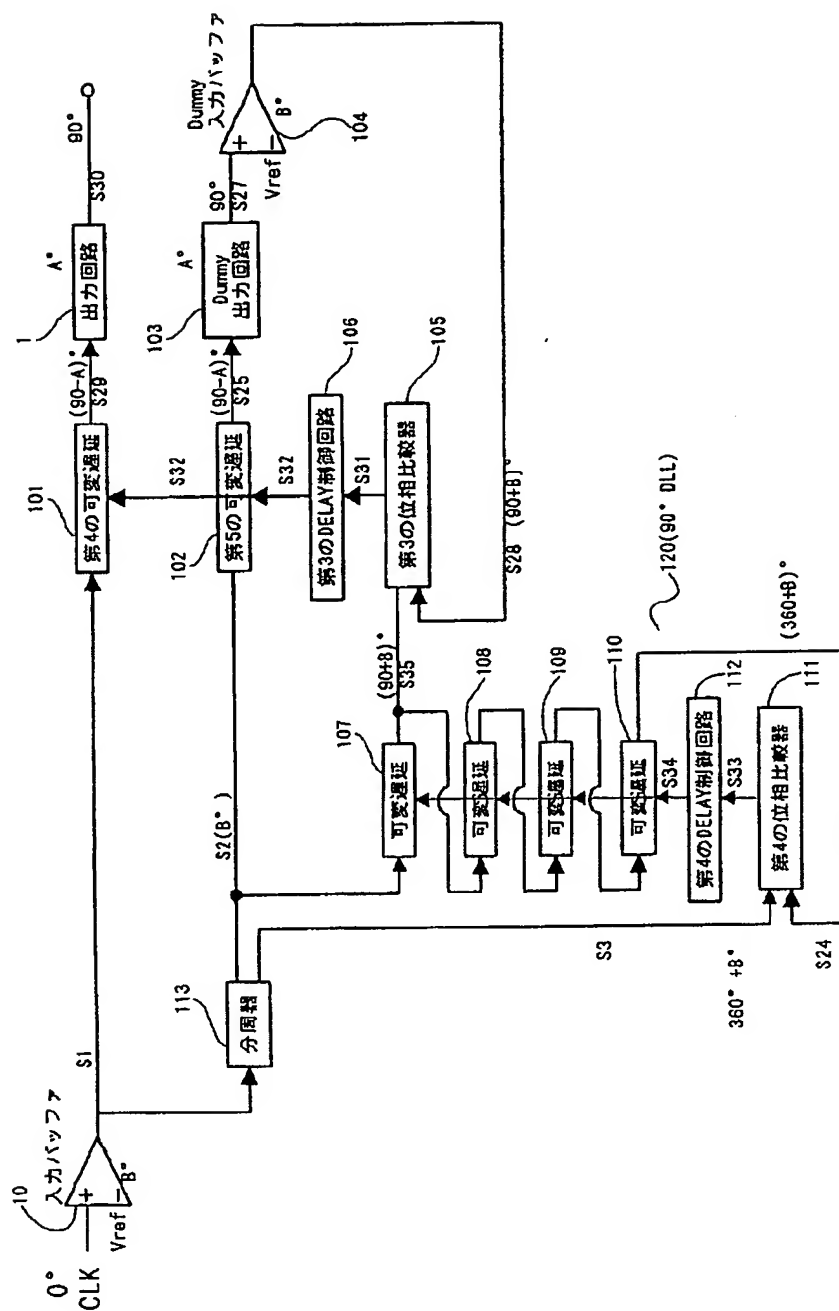


【図7】



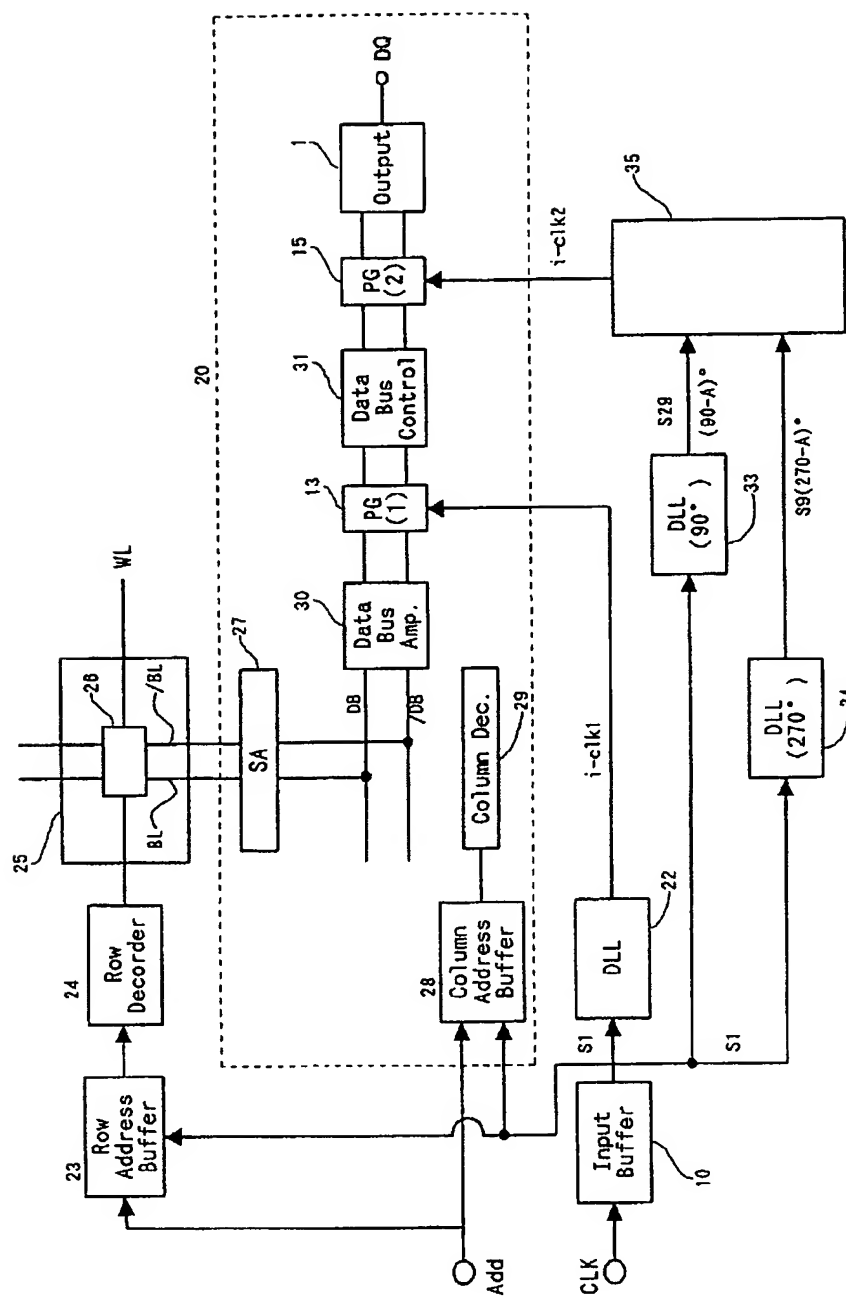
【図8】

DLL(90°)回路の例



【図9】

シンクロナスDRAMの例を示す図



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

F I  
G 1 1 C 11/34

3 5 4 C